



#4
PPR/H9
2403
DS

Certification under 37 CFR 1.8(a)
I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with The United States Postal Service with sufficient postage as first class mail in an envelope addressed to The Commissioner for Patents, Washington, D.C. 20231 on April 8, 2002.

Vangelis Economou
Name

Vangelis Economou
Signature

DOCKET: CU-2760

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

APPLICANT: Dong Suk SHIN)
SERIAL NO: 10/034,243)
FILING DATE: December 28, 2001) Group Art Unit:
TITLE: METHOD OF FABRICATING A SEMICONDUCTOR) 2812
DEVICE HAVING REDUCED CONTACT RESISTANCE)

The Commissioner for Patents
Washington, D.C. 20231

SUBMITTAL OF PRIORITY DOCUMENT

Dear Sir:

Attached herewith is a certified copy of Korean Application 2001-0054512 filed September 5, 2001, for which priority is claimed under 35 USC 119.

Respectfully submitted,

April 8, 2002
Date

/14

Vangelis Economou
Attorney for Applicant

Vangelis Economou, Reg. 32341
c/o Ladas & Parry
224 South Michigan Avenue
Chicago, Illinois 60604
(312) 427-1300



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2001년 제 54512 호
Application Number PATENT-2001-0054512

출원 년 월 일 : 2001년 09월 05일
Date of Application SEP 05, 2001

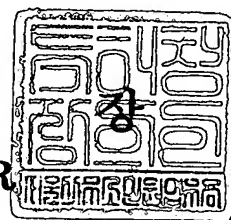
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2001.09.05
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Method for fabricating semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	신동석
【성명의 영문표기】	SHIN,Dong Suk
【주민등록번호】	691126-1074423
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대아파트 705-1401
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	21 항 781,000 원
【합계】	810,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체소자의 제조방법에 관한 것으로, 실리콘 기판을 제공하는 단계; 상기 실리콘기판상에 절연막을 형성하는 단계; 상기 절연막 의 일부분을 선택적으로 제거하여 상기 실리콘기판의 일부분을 노출시키는 콘택홀 을 형성하는 단계; 상기 콘택홀아래의 실리콘기판의 노출된 부분을 계면처리 하되, 상기 계면처리는 적어도 건식세척공정 및 수소열처리공정을 포함하여 진행 하는 단계 및 상기 콘택홀내의 실리콘기판의 노출된 표면에 단결정과 다결정 실리콘을 포함하는 실리콘플러그를 형성하는 단계를 포함하여 이루어진다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체소자의 제조방법{Method for fabricating semiconductor device}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체소자의 제조방법에 있어서, 실리콘플러그가 형성된 반도체소자의 레이아웃도.

도 2는 본 발명에 따른 반도체소자의 제조방법에 있어서, 도 1의 II-II선에 따른 단면도.

도 3은 본 발명에 따른 반도체소자의 제조방법에 있어서, 실리콘플러그의 단결정구조를 도시한 단면도.

도 4는 본 발명에 따른 반도체소자의 제조방법에 있어서, 실리콘플러그가 형성된 반도체소자의 TEM사진.

【도면부호의설명】

- | | |
|--------------|---------------|
| 11 : 실리콘기판 | 13 : 트렌치소자분리막 |
| 15 : 게이트산화막 | 17 : 게이트 |
| 19 : 캡절연막 | 21 : 측벽스페이서 |
| 23 : 절연막 | 25a : 단결정 |
| 25b : 다결정실리콘 | 25 : 실리콘플러그 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 고집적 반도체소자 및 시스템 IC 소자에 적합한 플러그 콘택 형성시에 적용하는 반도체 소자의 제조방법에 관한 것이다.
- <12> 반도체소자의 고집적화가 진행됨에 따라 소자 구현을 위한 회로선폭이 점점 감소하고 있다. 이러한 경향에 따라 우수한 소자 특성 개발을 위해 다양한 공정이 적용 및 개발되고 있다. 특히, 소자의 동작효율을 높이기 위해서 접촉 저항(contact resistance) 감소를 위한 접촉공정에 대한 새로운 시도가 이루어지고 있다.
- <13> 기존의 반도체소자에 있어서 불순물이 첨가된 다결정 실리콘(doped poly -Si)을 기본으로 실리콘 접촉물질을 형성한다.
- <14> 이상적인 접촉 계면상태라면 다결정실리콘과 실리콘기판사이의 접촉에 있어 동일한 물질사이의 접촉이므로 일함수(work function) 차이에 의한 접촉저항은 존재하지 않는다. 즉, 실리콘과 실리콘사이의 접촉저항은 각각의 불순물 농도가 유사하다면 매우 작은 값이어야 한다.
- <15> 그러나, 일반적으로 다결정 실리콘과 실리콘기판사이의 접촉저항은 비교적 높은 값을 갖는다.

<16> 일반적으로, 접촉면적이 $0.10 \mu\text{m}^2$ 인 불순물 접촉셀 (contact junction cell)에서 약 $10 \text{ k}\Omega$ 정도의 접촉저항을 갖는다.

<17> 이와 같은 높은 접촉저항은 다결정실리콘과 실리콘기판사이의 계면에 형성된 자연산화막(native oxide) 및 카본(carbon) 함유 잔류물 등에 기인하는 것으로 알려져 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 그러나, 기존의 다결정실리콘 접촉 공정에서 용액 세척(wet cleaning) 진행후 시간적 지연없이 다결정 실리콘 증착을 진행함에도 불구하고 이러한 접촉저항의 증가를 효과적으로 감소시킬 수는 없다.

<19> 기존의 용액 세척방법은 마지막 순서에서 휘발성 탈유기화화학물 용액 및 탈이온 화수(DI water)로 세척하는 과정을 거치게 되므로 실리콘표면의 자연산화막 및 카본 잔류물이 형성되는 것을 효과적으로 방지하지 못한다.

<20> 최근에는, 상기와 같은 접촉면적 감소에 따른 저항 감소를 극복하는 대안으로 선택적 실리콘 단결정박막(selective epitaxial growth : SEG)를 성장시켜 접촉 계면에 자연산화막 및 결정립계(grain boundary)에 의한 저항 증가를 개선시키는 방법이 제안되었다.

<21> 이와 같은 선택적 실리콘단결정박막(SEG)을 형성하는 방법으로는 LPCVD (Low Pressure Chemical Vapor Deposition) 방법을 사용하고, LPCVD 방법에 사용되는 반응가스로는 DCS(dichlorosilane) / H_2 / HCl , MS(monosilane) / H_2 / HCl 시스템이 주로 사용되고 있다.

- <22> 또한, 상기 선택적 실리콘 단결정박막(SEG)을 성장시키기 위해서는 약 800 °C 이상에서의 고온공정이 요구된다. 그러나, 이러한 고온공정은 반도체소자 특성을 확보하기 어렵게 만드는 한 요소이다.
- <23> 그러므로, 가능한 낮은 온도에서 효과적으로 접촉저항이 낮은 단결정 실리콘을 성장할 수 있는 공정개발이 절실히 요구된다.
- <24> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 고온 열처리에 따른 소자 특성의 저하를 방지할 수 있는 반도체소자의 제조방법을 제공함에 그 목적이 있다.
- <25> 또한, 본 발명의 다른 목적은 접촉계면의 자연산화막 제거 및 결정입계와 같은 결정결함을 줄여 접촉저항을 감소시킬 수 있는 반도체소자의 제조방법을 제공함에 있다.
- <26> 그리고, 본 발명의 또 다른 목적은 고집적 반도체소자 제조시의 콘택플러그 공정에 적용가능한 반도체소자의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <27> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은, 실리콘기판을 제공하는 단계; 상기 실리콘기판상에 절연막을 형성하는 단계; 상기 절연막의 일부분을 선택적으로 제거하여 상기 실리콘기판의 일부분을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀아래의 실리콘기판의 노출된 부분을 계면처리하되, 상기 계면처리는 적어도 건식세척공정 및 수소열처리공정을 포함하여 진행하는 단계 및 상기 콘택홀내의 실리콘기판의 노출된 표면상에 단결정과 다결정

실리콘을 포함하는 실리콘플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<28> 또한, 본 발명에 따른 반도체소자의 제조방법은, 실리콘기판상에 소자 분리막을 형성하는 단계; 상기 실리콘기판상에 게이트를 형성하는 단계; 상기 게이트양측 아래의 실리콘기판내에 불순물접합영역을 형성하는 단계; 상기 전체 구조의 상면에 절연막을 형성하고 상기 절연막을 선택적으로 제거하여 상기 불순물접합영역을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀아래의 불순물 접합영역의 노출된 표면을 계면처리하되, 상기 계면처리는 적어도 건식세척공정 및 수소열처리공정을 포함하여 진행하는 단계; 및 상기 불순물접합영역의 노출된 표면상에 단결정을 성장시킨후 단결정상에 다결정 실리콘을 성장시켜 실리콘플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<29> (실시예)

<30> 이하, 본 발명에 따른 반도체소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.

<31> 도 1은 본 발명에 따른 반도체소자의 제조방법에 있어서, 실리콘플러그가 형성된 반도체소자의 레이아웃도이다.

<32> 도 2는 본 발명에 따른 반도체소자의 제조방법에 있어서, 도 1의 II-II선에 따른 단면도이다.

<33> 도 3은 본 발명에 따른 반도체소자의 제조방법에 있어서, 실리콘플러그의 단결정구조를 도시한 단면도이다.

- <34> 도 4는 본 발명에 따른 반도체소자의 제조방법에 있어서, 실리콘플러그가 형성된 반도체소자의 TEM사진이다.
- <35> 본 발명에 따른 반도체소자의 제조방법은, 도 1 및 도 2에 도시된 바와같이, 먼저 실리콘기판(11)내에 소자형성영역과 소자분리영역을 정의하기 위한 트렌치소자분리막(STI; Shallow Trench Isolation)(13)을 형성한다.
- <36> 그다음, 상기 트렌치 소자분리막(13)을 포함한 실리콘기판(11)상에 게이트산화막용 절연막(미도시)과 게이트용 도전물질층(미도시) 및 캡절연물질층(미도시)을 순차적으로 증착한다.
- <37> 이어서, 상기 캡절연물질층과 도전물질층 및 절연막을 포토리소그래피 공정기술을 이용한 마스크공정과 상기 마스크를 이용한 패터닝공정을 통해 선택적으로 제거하여 상기 실리콘기판(11)의 소자형성영역상에 게이트산화막(15)과 게이트(17) 및 캡절연막(19)을 형성한다.
- <38> 그다음, 상기 캡절연막(19)과 게이트(17) 및 게이트산화막(15)의 측면에 측벽스페이서(21)을 형성하고, 상기 측벽스페이서(21)양측 아래의 실리콘기판(11)내에 불순물을 주입하여 불순물접합영역(미도시)을 형성한다.
- <39> 이어서, 상기 전체 구조의 상면에 절연막(23)을 증착하고, 이를 리소그래피 공정기술을 이용한 마스크공정 및 마스크를 이용한 패터닝공정을 진행하여 상기 불순물접합영역(미도시)의 상면을 노출시키는 콘택홀(미도시)을 형성한다.
- <40> 그다음, 불순물접합영역의 상면이 노출된 실리콘기판(11)의 접촉표면을 계면처리공정을 진행한다.

<41> 이때, 불순물 집합영역이 형성된 실리콘기판(11)과 후속공정에서 형성되는 실리콘플러그용 실리콘접촉물질을 형성함에 있어 접촉저항은 접촉계면처리공정에 의해 결정된다.

<42> 이러한 접촉저항을 감소시키기 위해서는 접촉계면에 있는 자연산화막을 제거하고 결정입계와 같은 결정결함을 감소시켜야 함은 물론 저온공정이 요구된다.

<43> 따라서, 본 발명에서는 접촉이 형성되는 실리콘기판(11)의 접촉부분에서는 단결정으로 성장하면서 동시에 다결정실리콘 물질이 형성되는 방법을 제안하였다. 특히, 본 발명에서는 약 700 °C 이하의 저온공정으로 실리콘기판의 접촉부분은 단결정으로 성장하고 계면특성이 개선된 다결정 접촉물질층을 형성할 수 있다.

<44> 상기와 같이, 접촉저항의 효과적인 감소를 위해서는 실리콘접촉물질층을 형성하기 전에 접촉계면처리를 효과적으로 할 필요가 있다.

<45> 계면처리방법에 있어서는, 첫째 접촉부분을 형성하기 위해 실시하는 건식식각에 의한 충격층(damage layer)을 제거하기 위한 건식세척(dry cleaning) 과정, 둘째 카본 복합 잔류물 및 자연산화막 제거를 위한 용액세척과정, 셋째 고온 수소 열처리에 의한 계면세척과정, 넷째 자연산화막을 제거하는 방법, 다섯째 레이저 세척을 사용한다.

<46> 본 발명에서는, 계면처리과정에서 수소열처리에 의한 계면처리 효과가 매우 우수하다.

<47> 한편, 이러한 고온 열처리시에 발생할 수 있는 문제를 해소하기 위해, 필요에 따라 레이저를 이용한 계면처리방법을 도입하여 계면처리가 필요한 부분을 레

이저를 이용하여 국부적으로 계면세척을 실시함으로써 고온 열처리에 따른 소자 특성 저하를 방지할 수도 있다.

<48> 상기에서와 같이, 본 발명에서는 불순물접합영역이 형성된 실리콘기판과 실리콘플러그용 접착물질층을 형성함에 있어 접착저항은 접착계면처리공정에 의해 결정된다. 따라서, 상기 계면처리공정은 독립적으로 또는 순서에 무관하게 중복하여 사용한다.

<49> 상기 각각의 계면처리 과정에 대한 구체적인 공정방법을 설명하면 다음과 같다.

<50> 첫째, 건식세척공정은 NF_3 , O_2 , He , N_2 가스를 적절한 비율로 혼합하여 사용한다. 이때, 기판방향으로 5 kW, 바람직하게는 2 kW 이하의 약한 플라즈마를 사용하여 5분 이내로 처리한다.

<51> 둘째, 용액세척공정은 희석된 H_2O_2 , H_2SO_4 , NF_4 , HF , BOE 용액을 독립적으로 또는 중복하여 사용한다.

<52> 셋째, 자연 산화막제거공정은 NF_3 , N_2 가스를 적절한 비율로 혼합하여 플라즈마를 형성한후 이를 기판에 공급하여 약 100 내지 500 °C 온도에서 약 10 이하 분동안 열처리를 진행한다. 이때, 상기 자연산화막 제거공정은 플루오르화 질소(NF_3)가스를 미리 형성된 플라즈마(remote plasma) 형태로 사용함으로써 최종적으로 표면에 플루오린 실리콘(Si-F) 결합을 형성하여 효과적으로 깨끗한 계면을 유지할 수 있다.

<53> 넷째, 수소 열처리공정은 1 내지 100 slm 유량의 수소가스를 사용하여 약 1m Torr 내지 100 Torr 의 저압에서 700 내지 1000 ℃의 고온 열처리를 약 30 이하 분동안 실시하여 증착공정과 같은 장비에서 인시튜(in-situ) 공정으로 진행하거나 서로 다른 장비에서 엑시튜(ex-situ)공정으로 진행한다.

<54> 다섯째, 레이저공정은 주변회로부분을 제외한 실리콘접촉부분을 국부적으로 레이저로 세척한다. 이때, 레이저 세척시에 중요한 요소는 사용되는 레이저 파워와 주파수 및 레이저 주입횟수이다. 레이저파워는 $1\text{mJ}/\text{cm}^2$ 내지 $10\text{J}/\text{cm}^2$ 를 사용하며, 레이저주입은 1회 내지 100회정도 실시한다.

<55> 최종적으로, 상기에서와 같은 계면처리과정을 거친 후 실리콘기판(11)내의 플러그콘택홀(미도시)내에 실리콘플러그(25)를 형성한다.

<56> 이때, 상기 실리콘플러그(25)는 $\text{DCS}/\text{H}_2/\text{PH}_3$, $\text{MS}/\text{H}_2/\text{PH}_3$, 또는 MS/PH_3 가스 중에서 어느 하나를 선택하여 1 Torr 내지 200 Torr 의 성장압력과 500 내지 700 ℃의 성장온도하에서 상압 화학기상증착법 또는 저압 화학기상증착법으로 증착한다.

<57> 또한, 상기 가스들중에서 MS 유량은 100 sccm 내지 500 sccm정도이고, DCS 유량은 100 sccm 내지 500 sccm 정도이며, H_2 유량은 5000 sccm 내지 20000 sccm 정도로 유지한다.

<58> 그리고, 1%의 PH_3 유량은 100 sccm 내지 1000 sccm 정도로 유지하고, P -불순물농도가 $1\text{E}19$ 내지 $1\text{E}21$ 원자/cc 정도이다.

<59> 도 3에 도시된 바와같이, 상기 계면처리과정을 거친 실리콘의 접촉부분은 실리콘플러그 증착공정을 통해 먼저 단결정(25a)이 성장되고, 접촉측면에서는 다결정실리콘(25b)이 성장하게 된다.

<60> 한편, 도 4는 다음과 같은 실리콘접촉 계면처리과정을 통해 얻어진 TEM 사진이다. 이때, 실리콘 계면처리시의 건식세척공정은 $\text{NF}_3/\text{O}_2/\text{He}$ 혼합가스를 이용하여 20초동안 진행하였고, 용액세척 공정은 SC1/BOE를 이용하여 20초동안 진행하였으며, 수소열처리공정은 수소분위기 및 900°C 온도에서 1분동안 진행하였다. 또한, 실리콘플러그(25)의 증착공정은 $\text{MS}/\text{H}_2/\text{PH}_3$ 가스를 이용하여 630°C 온도와 120 Torr에서 진행하였다.

<61> 한편, 상기 실리콘플러그(25)를 형성함에 있어 성장조건에 따라 도 3에서와 같은 구조로 형성되지 않고 다결정실리콘 플러그가 형성될 수도 있다.

【발명의 효과】

<62> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 제조방법에 있어서는 다음과 같은 효과가 있다.

<63> 본 발명에 따른 반도체소자의 제조방법에 있어서는, 700°C 이하의 저온공정으로 실리콘과의 접촉부분은 단결정으로 성장시켜 계면특성이 개선된 다결정접촉물질을 형성할 수 있다.

고. <64> 또한, 본 발명에 따른 반도체소자의 제조방법에 있어서는 실리콘 플러그 증착전에 건식세척과정, 용액세척과정, 고온수소열처리과정, 자연산화막제거과정,

레이저 세척과정을 통한 계면처리과정을 각각 독립적 또는 이들을 중복하여 사용함으로써 실리콘과의 접촉저항을 효과적으로 감소시킬 수가 있다.

<65> 그리고, 본 발명에 따른 반도체소자의 제조방법에 있어서는, 계면처리가 필요한 부분을 레이저를 이용하여 국부적으로 계면세척을 실시하여 줌으로써 800℃이상의 고온에서 실시하는 수소 열처리에 따른 소자 특성이 저하되는 것을 근본적으로 방지할 수 있다.

<66> 따라서, 본 발명에 따른 반도체소자의 제조방법에 있어서는, 콘택면적에서 단결정이 성장되는 다결정실리콘 플러그 형성공정을 적용함으로써 실리콘플러그 형성이 저온에서 가능함과 동시에 콘택저항을 감소시킬 수 있으므로 향후 초고집적 반도체소자제조시에 적용이 가능하다고 볼 수 있다.

<67> 한편, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

실리콘기판을 제공하는 단계;

상기 실리콘기판상에 절연막을 형성하는 단계;

상기 절연막의 일부분을 선택적으로 제거하여 상기 실리콘기판의 일부분을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀아래의 실리콘기판의 노출된 부분을 계면처리하되, 상기 계면 처리는 적어도 건식세척공정 및 수소열처리공정을 포함하여 진행하는 단계; 및

상기 콘택홀내의 실리콘기판의 노출된 표면에 단결정과 다결정실리콘을 포함하는 실리콘플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 2】

제1항에 있어서, 상기 계면처리단계는 용액세척공정, 자연산화막 제거공정, 및 레이저 세척공정을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제2항에 있어서, 상기 용액세척공정, 자연산화막 제거공정 및 레이저 세척 공정은 각각 독립적으로 진행하거나 순서에 관계 없이 중복하여 진행하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제1항에 있어서, 상기 건식세척공정은, NF_3 , O_2 , He, N_2 가스를 혼합하여 사용하고, 1 내지 5 kW의 플라즈마 파워를 사용하여 5분 이내로 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 5】

제2항에 있어서, 상기 용액세척공정은, 희석된 H_2O_2 , H_2SO_4 , NF_4 , HF, BOE 용액 중에서 어느 하나 또는 이들을 선택적으로 혼합하여 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 6】

제2항에 있어서, 상기 자연산화막 제거공정은, NF_3 , N_2 가스를 적절한 비율로 혼합하여 플라즈마를 형성한후 이를 실리콘기판에 공급하여 약 100 내지 500 $^{\circ}\text{C}$ 온도에서 약 10 이하 분동안 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 7】

제1항에 있어서, 상기 수소열처리공정은, 1 내지 100 slm 유량의 수소가스를 사용하여 1m Torr 내지 100 Torr 의 저압에서 700 내지 1000 $^{\circ}\text{C}$ 의 고온 열처리를 약 30 이하 분동안 실시하되, 증착공정과 같은 장비에서 인시튜(in-situ) 공정으로 진행하거나 서로 다른 장비에서 엑시튜(ex-situ)공정으로 진행하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 8】

제2항에 있어서, 상기 레이저 세척공정은, 레이저파워는 $1\text{mJ}/\text{cm}^2$ 내지 $10\text{J}/\text{cm}^2$ 를 사용하며, 레이저주입은 1회 내지 100회 실시하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 9】

제1항에 있어서, 상기 실리콘플러그 형성단계는, $\text{DCS}/\text{H}_2/\text{PH}_3$, $\text{MS}/\text{H}_2/\text{PH}_3$, 또는 MS/PH_3 혼합가스중에서 어느 하나를 선택하여 1 Torr 내지 200 Torr 의 성장압력과 500 내지 700 $^{\circ}\text{C}$ 의 성장온도하에서 상압 화학기상증착법 또는 저압 화학기상증착법으로 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 10】

제9항에 있어서, 상기 MS 및 DCS 유량은 각각 100 sccm 내지 500 sccm으로 유지하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 11】

제9항에 있어서, 상기 H_2 유량은 5000 sccm 내지 20000 sccm으로 유지하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 12】

제9항에 있어서, 상기 1%의 PH_3 유량은 100 sccm 내지 1000 sccm로 유지하고, P 불순물농도는 $1\text{E}19$ 내지 $1\text{E}21$ 원자/cc인 것을 특징으로하는 반도체소자의 제조방법.

【청구항 13】

실리콘기판상에 소자분리막을 형성하는 단계;

상기 실리콘기판상에 게이트를 형성하는 단계;

상기 게이트양측아래의 실리콘기판내에 불순물접합영역을 형성하는 단계;

상기 전체 구조의 상면에 절연막을 형성하고 상기 절연막을 선택적으로 제거하여 상기 불순물접합영역을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀아래의 불순물접합영역의 노출된 표면을 계면처리하되, 상기 계면처리는 적어도 건식세척공정 및 수소열처리공정을 포함하여 진행하는 단계; 및

상기 불순물접합영역의 노출된 표면상에 단결정을 성장시킨후 단결정상에 다결정실리콘을 성장시켜 실리콘플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 14】

제13항에 있어서, 상기 계면처리단계는, 용액세척공정, 자연산화막 제거공정 및 레이저 세척공정을 더 포함하되, 이들을 각각 독립적으로 진행하거나 순서에 관계 없이 중복하여 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 15】

제13항에 있어서, 상기 건식세척공정은, NF_3 , O_2 , He, N_2 가스를 혼합하여 사용하고, 1 내지 5 kW의 플라즈마 파워를 사용하여 5분 이내로 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 16】

제14항에 있어서, 상기 용액세척공정은, 희석된 H_2O_2 , H_2SO_4 , NF_4 , HF , BOE 용액 중에서 어느 하나 또는 이들을 선택적으로 혼합하여 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 17】

제14항에 있어서, 상기 자연산화막 제거공정은, NF_3 , N_2 가스를 적절한 비율로 혼합하여 플라즈마를 형성한후 이를 실리콘기판에 공급하여 약 100 내지 500 $^{\circ}C$ 온도에서 약 10 이하 분동안 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 18】

제13항에 있어서, 상기 수소열처리공정은, 1 내지 100 slm 유량의 수소가스를 사용하여 1m Torr 내지 100 Torr 의 저압에서 700 내지 1000 $^{\circ}C$ 의 고온 열처리를 약 30 이하 분동안 실시하되, 증착공정과 같은 장비에서 인시튜(in-situ) 공정으로 진행하거나 서로 다른 장비에서 엑시튜(ex-situ)공정으로 진행하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 19】

제14항에 있어서, 상기 레이저 세척공정은, 레이저파워는 $1mJ/cm^2$ 내지 $10J/cm^2$ 를 사용하며, 레이저주입은 1회 내지 100회 실시하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 20】

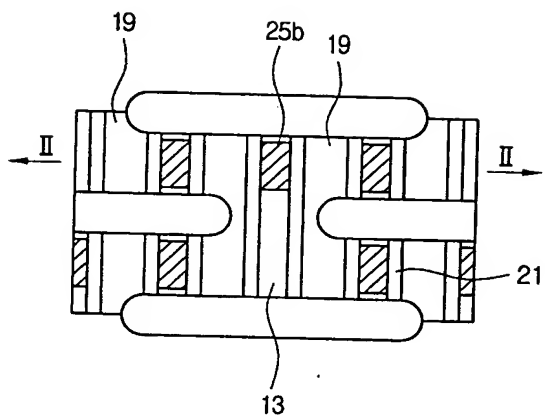
제13항에 있어서, 상기 실리콘플러그 형성단계는, DCS/H₂/PH₃, MS/H₂/PH₃, 또는 MS/PH₃ 혼합가스중에서 어느 하나를 선택하여 1 Torr 내지 200 Torr 의 성장 압력과 500 내지 700 °C의 성장온도하에서 상압 화학기상증착법 또는 저압 화학기상증착법으로 진행하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 21】

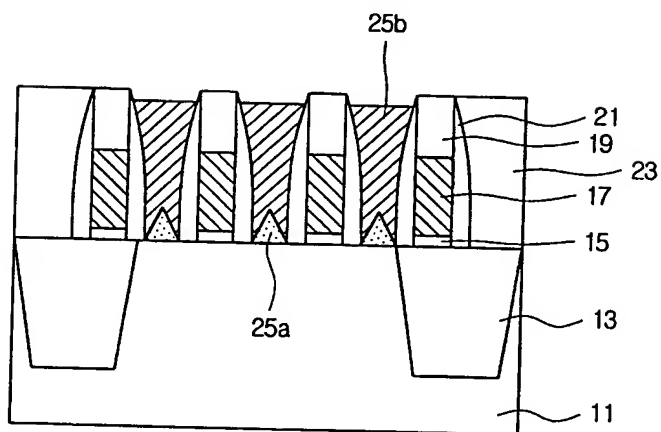
제20항에 있어서, 상기 MS 및 DCS 유량은 각각 100 sccm 내지 500 sccm으로 유지하고, 상기 H₂ 유량은 5000 sccm 내지 20000 sccm으로 유지하며, PH₃ 유량은 100 sccm 내지 1000 sccm로 유지하고, P 불순물농도는 1E19 내지 1E21 원자/cc인 것을 특징으로하는 반도체소자의 제조방법.

【도면】

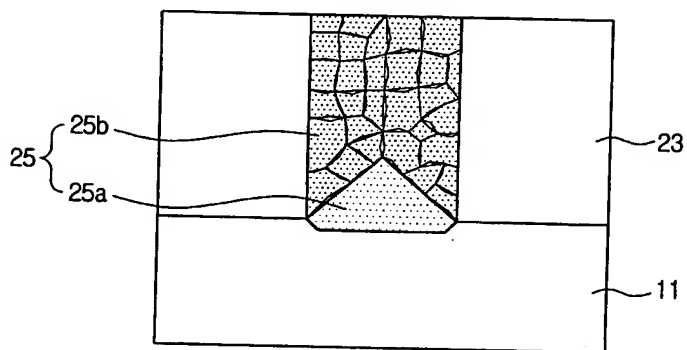
【도 1】



【도 2】



【도 3】



1020010054512

출력 일자: 2001/11/27

【도 4】

